

(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)
(12) UTILITY MODEL (U)

(11) Publication Number: U.M. 1999-003745
(43) Publication date: January 25, 1999
(21) Application Number: U.M. 1997-017343
(22) Filing Date: June 30, 1997
(71) Applicant(s): HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.

(54) Title: Stacked flip chip package

(57) Abstract

A stacked flip-chip package comprises a semiconductor chip having a plurality of bonding pads. The bonding pads has each hole at the bottom thereof. The hole is filled with a conductive material. Solder bumps are formed on the bonding pads. The lowest semiconductor chip is mounted on a printed circuit board by the solder bump. At least two semiconductor chips are stacked vertically and electrically connected by the solder bump.

(19) 대한민국특허청(KR)
(12) 공개실용신안공보(U)

(51) Int. Cl. 6

H01L 23 /28

(21) 출원번호 실 1997-017343

(22) 출원일자 1997년 06월 30일

(71) 출원인 현대전자산업 주식회사 김영환

(72) 고안자 경기도 이천시 부발읍 아미리 산 136-1
오재성

(74) 대리인 경기도 이천시 창전동 135번지 16호
최총순

설사첨구 : 있음

(54) 적층형 플립 칩(Flip chip) 패키지

요약

본 고안은 적층형 플립 칩 패키지를 개시한다. 개시된 본 고안의 적층형 플립 칩 패키지는 장축 방향의 상부면 양측 가장자리 부분에 열로 배열되는 다수개의 본딩 패드들이 구비되고, 상기 각각의 본딩 패드의 하부에는 풀이 구비되어며, 상기 풀 내부에는 도전성 물질이 총진되어 있는 적어도 둘 이상의 반도체 칩들이 그들의 본딩 패드상에 형성된 슬더 범프에 의해 전기적으로 연결되어 적층되고, 최하부에 위치된 반도체 칩은 그의 본딩 패드상에 형성된 슬더 범프에 의해 소정 회로 패턴이 구비된 인쇄회로기판에 실장되어 있는 것을 특징으로 한다.

대표도

도3

영세서

도면의 간단한 설명

도 1은 종래 기술에 따른 플립 칩 패키지를 설명하기 위한 도면.

도 2는 본 고안의 실시예에 따른 반도체 칩을 설명하기 위한 도면.

도 3은 본 고안의 실시예에 따른 적층형 플립 칩 패키지를 설명하기 위한 도면.

도면의 주요 부분에 대한 부호의 설명

11 : 반도체 칩 12, 22 : 본딩 패드

13 : 슬더 21 : 제 1 반도체 칩

23 : 슬더 범프 24 : PCB 기판

25 : 제 2 반도체 칩

고안의 상세한 설명

고안의 목적

고안이 속하는 기술 및 그 분야의 종래기술

본 고안은 반도체 장치에 관한 것으로, 보다 상세하게는, 실장 면적 및 메모리 용량을 증대시킨 적층형 플립 칩 패키지에 관한 것이다.

최근, 각종 전기 및 전자 제품의 크기가 소형화되는 추세에 따라 한정된 크기의 기판에 보다 많은 수의 칩을 실장시킴으로써 소형이면서도 고용량을 달성하고자 하는 많은 연구가 전개되고 있다. 그 한예로서, 플립 칩 패키지(Flip Chip Package)는 패키지화되지 않은 반도체 칩, 즉, 베어 칩(Bare Chip)을 그의 본딩 패드상에 도전성 범프(Bump)를 형성한 후, 이러한 도전성 범프를 이용하여 소정 회로 패턴이 구비된 인쇄회로기판(Printed Circuit Board : 이하, PCB) 상에 실장시키는 패키지의 형태로서, 언급된 바와 같이, 반도체 칩을 그 크기 그대로 기판 상에 실장시키기 때문에 실장 면적을 감소시킬 수 있는 장점이 있다.

자세하게, 도 1은 종래 기술에 따른 플립 칩 패키지의 제조 방법을 설명하기 위한 도면으로써, 도시된 바와 같이, 플립 칩 패키지는 범핑(Bumping) 공정을 통해 반도체 칩(1)의 본딩 패드(도시 않됨)들상에 슬더 범프(Solder Bump : 2)를 형성하고, 이러한 슬더 범프(2)가 형성된 반도체 칩(1)을 어셈블리(Assembly) 공정을 거치지 않은 베어 칩 상태로 플립 PCB 기판(3)상에 부착시켜 형성한다. 여기서, 반도체 칩(1)은 PCB 기판(3)상에 베어 칩이 실장되기 때문에 실장 면적을 최소화할 수 있으며, 이에 따라, 더 많은 반도체 칩들을 실장시킬 수 있게 된다.

한편, 상기에서 슬더 범프(2) 대신에 슬더 볼을 사용하여 베어 칩을 PCB 기판(3)상에 실장시키는 방법도 가능하다.

고안이 이루고자 하는 기술적 과제

그러나, 상기와 같은 종래 기술에 따른 플립 칩 패키지는 실장 면적을 최소화할 수는 있지만, PCB 기판상에 실장되는 베어 칩의 개수가 한정되기 때문에 고용량을 달성하는데는 한계가 있는 문제점이 있었다.

따라서, 본 고안은 반도체 칩에 구비된 본딩 패드 하부에 출을 형성한 후, 상기 출 내부를 도전성 물질로 채운 상태에서, 각각의 베어 칩을 슬더 범프 또는 슬더 볼을 이용하여 원하는 높이만큼을 적층시킴으로써, 실장 면적을 최소화함과 동시에 메모리 용량을 확장시킬 수 있는 적층형 플립 칩 패키지를 제공하는 것을 목적으로 한다.

고안의 구성 및 작용

상기와 같은 목적은, 장축 방향의 상부면 양측 가장자리 부분에 열로 배열되는 다수개의 본딩 패드들이 구비되고, 상기 각각의 본딩 패드의 하부에는 툴이 구비되며, 상기 툴 내부에는 도전성 물질이 충진되어 있는 적어도 둘 이상의 반도체 칩들이 그들의 본딩 패드상에 형성된 솔더 범프에 의해 전기적으로 연결되어 적층되고, 최하부에 위치된 반도체 칩은 그의 본딩 패드상에 형성된 솔더 범프에 의해 소정 회로 패턴이 구비된 인쇄회로기판에 실장되어 있는 것을 특징으로 하는 본 고안에 따른 적층형 플립 칩 패키지에 의하여 달성된다.

본 고안에 따르면, 적층형으로 플립 칩 패키지를 제조함으로써, 실장 면적을 최소화할 수 있으며, 메모리 용량도 항상시킬 수 있다.

[실시예]

이하, 첨부된 도면을 참조하여 본 고안의 바람직한 실시예를 보다 상세하게 설명한다.

도 2는 본 고안의 실시예에 따른 반도체 칩을 설명하기 위한 도면으로서, 장축 방향의 상부면 가장자리에 열로 배열되는 다수개의 본딩 패드(12)들이 구비된 반도체 칩(11)은 그의 각각의 본딩 패드(12)의 하부에 3 내지 4mil 정도의 직경을 갖는 툴이 형성되어 있으며, 툴 내부는 도팅(Dotting) 공정에 의해 솔더(13)와 같은 도전성 물질이 충진된다.

도 3은 본 고안의 실시예에 따른 적층형 플립 칩 패키지를 설명하기 위한 도면으로서, 우선, 전술된 공정에 따라 제조된 제 1 반도체 칩(21)은 그의 본딩 패드(22)상에 형성되는 솔더 범프(23)에 의해 베어 칩 상태로 PCB 기판(24)상에 실장된다. 이때, 솔더 범프(23)는 전기적 접속 길이를 최소화하기 위하여 3 내지 4mil 정도의 높이를 갖도록 형성되며, 이에 따라, 시간 지연 현상을 최소화시킬 수 있게 된다. 또한, 솔더 범프(23) 대신에 솔더 볼을 사용하는 경우에도 마찬가지의 효과를 얻을 수 있다.

계속해서, 도시된 바와 같이, 제 1 반도체 칩(21)과 동일하게 제조된 제 2 반도체 칩(25)은 그의 본딩 패드들상에 형성된 솔더 범프(23)에 의해 제 1 반도체 칩(21)의 후면에 부착된다. 여기서, 제 1 및 제 2 반도체 칩(21, 25)들은 그들의 본딩 패드들이 솔더 범프(23) 및 툴 내의 충진된 솔더(13)에 의해 서로 전기적으로 연결되도록 적층된다.

한편, 도시되지는 않았지만, 제 2 반도체 칩의 후면에 동일하게 제조된 다수개의 반도체 칩들을 적층시킬 수 있으며, 이에 따라, 패키지의 메모리 용량을 원하는 만큼 얻을 수 있다. 또한, 기판과 반도체 칩 사이 및 반도체 칩들 사이 공간에는 열 이동을 항상시키기 위하여 열 전도성이 우수한 용액으로 채워질 수도 있다.

고안의 효과

이상에서와 같이, 본 고안의 적층형 플립 칩 패키지는 적층형으로 PCB 기판상에 실장하기 때문에 실장 면적을 최소화시킴과 동시에 메모리 용량을 원하는 만큼 높일 수 있으며, 베어 칩 상태로 적층시키기 때문에 패키지의 두께를 최소화할 수 있다. 또한, 반도체 칩들간의 사이 및 반도체 칩과 기판간의 전기적 접속 거리를 짧게 할 수 있기 때문에 시간 지연 현상을 줄일 수 있다.

한편, 여기에서는 본 고안의 특정 실시예에 대하여 설명하고 도시하였지만, 당 업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하, 실용신안등록청구의 범위는 본 고안의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

(57) 청구의 범위

청구항 1. 장축 방향의 상부면 양측 가장자리 부분에 열로 배열되는 다수개의 본딩 패드들이 구비되고, 상기 각각의 본딩 패드의 하부에는 툴이 구비되며, 상기 툴 내부에는 도전성 물질이 충진되어 있는 적어도 둘 이상의 반도체 칩들이

그들의 본딩 패드상에 형성된 슬더 범프에 의해 전기적으로 연결되어 적층되고, 최하부에 위치된 반도체 칩은 그의 본딩 패드상에 형성된 슬더 범프에 의해 소정 회로 패턴이 구비된 인쇄회로기판에 실장되어 있는 것을 특징으로 하는 적층형 플립 칩 패키지.

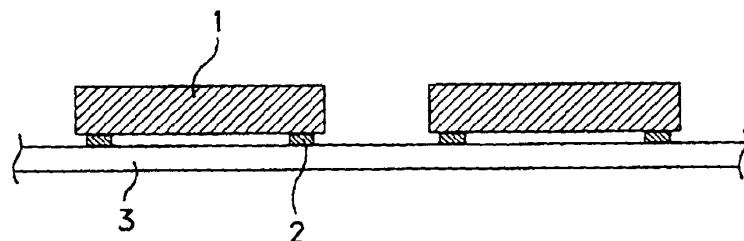
청구항 2. 제 1 항에 있어서, 상기 출은 직경이 3 내지 4mil인 것을 특징으로 하는 적층형 플립 칩 패키지.

청구항 3. 제 1 항에 있어서, 상기 슬더 범프의 높이는 3 내지 4mil인 것을 특징으로 하는 적층형 플립 칩 패키지.

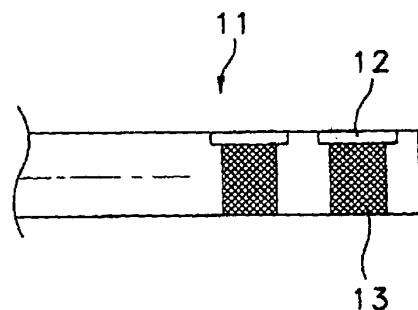
청구항 4. 제 1 항에 있어서, 상기 반도체 칩들 사이 및 반도체 칩과 인쇄회로기판 사이에는 전도성 용액이 채워져 있는 것을 특징으로 하는 적층형 플립 칩 패키지.

도면

도면1



도면2



도면3

